

LAPORAN AKHIR PENELITIAN HIBAH KOMPETENSI



DISAIN DAN IMPLEMENTASI (Fabrikasi) KONVERTER ANALOG KE
DIGITAL PIPELINE KECEPATAN TINGGI BERBASIS TEKNOLOGI CMOS
0.35 μm

Tahun ke 2 dari rencana 2 tahun

Ketua Peneliti :

DR. Eri Prasetyo Wibowo (NIDN : 0331036604)

Anggota :

Dr. Hamzah Afandi ST, MT. (NIDN: 0329047303)

Dr. Brahmantyo Herusetto SKom, MMSI.(NIDN: 0308126902)

UNIVERSITAS GUNADARMA
DESEMBER 2013

HALAMAN PENGESAHAN

Judul Registrasi : Disain dan Implementasi (Fabrikasi) Konverter Analog ke Digital Pipeline Kecepatan Tinggi Berbasis Teknologi CMOS 0.35 μm

Peneliti / Pelaksana

Nama Lengkap : ERI PRASETYO WIBOWO

NIDN : 0331036604

Jabatan Fungsional :

Program Studi : Ilmu Komputer

Nomor HP : 081380724028

Surel (e-mail) : eri@staff.gunadarma.ac.id

Anggota Peneliti (1)

Nama Lengkap : Dr. HAMZAH AFANDI ST., MT.

NIDN : 0329047303

Perguruan Tinggi : UNIVERSITAS GUNADARMA

Anggota Peneliti (2)

Nama Lengkap : Dr. BRAHMANTYO HERUSETO SKom., MMSI

NIDN : 0308126902

Perguruan Tinggi : UNIVERSITAS GUNADARMA

Institusi Mitra (jika ada)

Nama Institusi Mitra :

Alamat :

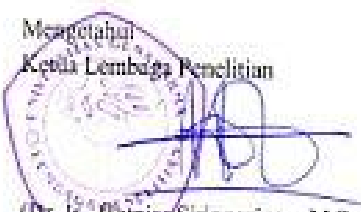
Pemanggung Jawab :

Tahun Pelaksanaan : Tahun ke 2 dari rencana 2 tahun

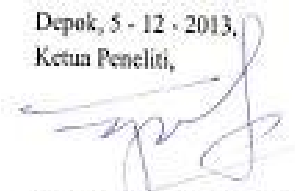
Biaya Tahun Berjalan : Rp. 100.000.000,00

Biaya Keseluruhan : Rp. 250.000.000,00

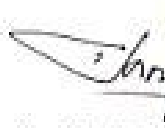
Mengetahui
Ketua Lembaga Penelitian


(Dr. Ir. Hbthnar Siringoringo, M.Sc.)
NIP/NIK 0309116501

Depok, 5 - 12 - 2013,
Ketua Peneliti,


(ERI PRASETYO WIBOWO)
NIP/NIK 920286

Menyetujui,
Rektor Universitas Gunadarma


(Prof. Dr. E.S. Margianti, SE, MM)
NIP/NIK 0303055403

RINGKASAN DAN SUMMARY

Penelitian untuk pengembangan ADC pipeline 8 bits berkecepatan tinggi berhasil dilakukan dalam desain skematik dan layout serta disimulasikan dengan Software Mentor Graphics dengan hasil yang baik.

Metode penelitian tahun kedua ini adalah menyempurnakan layout ADC pipeline yang kemudian menggabungkannya dengan layout rangkaian CMOS Image Sensor yang didisain oleh staff pengajar Universitas Gunadarma (UG) yang sedang mengambil program doktor double negree di Universite de Bourgogne (UB) Prancis.

Hasil Penggabungan kedua layout rangkaian tersebut kemudian dikirim ke pabrik pembuat Chip yaitu CMP TIMA yang berlokasi di Grenoble Prancis.

Setelah dari CMP TIMA, rangkaian yang sudah berwujud Purwarupa Chip dikirim ke Universite de Bourgogne Prancis. Purwarupa Chip yang diberikan oleh CMP TIMA ke UB berjumlah 5 buah, selanjutnya yang dua buah chip dikirim ke Universitas Gunadarma.

Pengujian Purwarupa Chip dilakukan secara paralel dimana UB konsentrasi dengan pengujian CMOS Image sensor sedangkan UG konsentrasi dengan pengujian ADC pipeline.

Hasil pengujian menunjukkan kedua rangkaian yang ada di purwarupa Chip berjalan sesuai fungsinya. Namun untuk ADC pipeline performanya kurang sesuai harapan, hal tersebut terjadi karena kurang rapinya penyambungan dalam layout. Sehingga untuk selanjutnya khusus yang ADC pipeline akan difabrikasi lagi pada bulan Desember.

PRAKATA

Pertama kami bersyukur dan mengucapkan terima kasih kepada Tuhan YME yang telah memberikan nikmat sehat, kemudahan-kemudahan dalam menjalankan penelitian ini, sehingga berhasil dibuat laporan akhir hibah kompetensi.

Dimasa sekarang dan akan datang desain Sistem on Chip(SOC) akan selalu berkembang dan diperlukan untuk riset dan pengembangan dunia industri elektronika yang penerapannya banyak dipakai di dunia teknologi informasi.

Merupakan suatu kebanggaan tersendiri terutama bagi tim peneliti yang berhasil mendesain ADC Pipeline 8 bit dengan kecepatan tinggi yang telah berhasil difabrikasi berupa purwarupa Chip. Disamping itu Hasil penelitian ini dapat menghasilkan publikasi internasional yang telah diseminarkan dan dimuat di prosiding SPIE yang sudah terindex scopus. Satu paper lagi yang akan disubmit pada jurnal Analog Integrated Circuits and Signal Processing yang diterbitkan oleh Springer, hal ini tentunya akan berdampak bagi peningkatan dan pengakuan publikasi oleh pembaca dan peneliti luar negeri sehingga sedikit demi sedikit publikasi internasional Indonesia akan meningkat dan minimal menyamai bahkan melebihi dari publikasi internasional Malaysia. Disamping itu, dari penelitian ini dihasilkan 2 buah buku, 1 buku sudah diterbitkan di UG dan satu buku lagi akan diterbitkan oleh Graha Ilmu, yang sampai sekarang masih dalam proses pengeditan. Rancangan dari ADC ini sudah didaftarkan di DEPKUMHAM untuk dipatenkan.

Semoga Hasil penelitian ini bisa membanggakan institusi dimana tim peneliti bernaung, DIKTI, institusi luar negeri sebagai partner penelitian dan masyarakat Indonesia pada umumnya.

Penelitian ini bisa berjalan karena didukung oleh banyak pihak. Oleh karena itu pada kesempatan ini kami mengucapkan banyak terima kasih kepada :

1. DIKTI yang memberi kesempatan untuk melakukan penelitian dengan pembiayaan yang diberikan ke tim peneliti.
2. Rektor Universitas Gunadarma yang selalu mendukung dan memberi fasilitas kemudahan yang dibutuhkan tim peneliti.
3. Prof. Dr. Michel Paindavoine dari LEAD Universite de Bourgogne yang telah banyak membantu dalam hal solusi, fasilitas untuk magang riset serta kerjasama dalam fabrikasi CHIP yang akan datang.
4. Staff dan mahasiswa yang telah membantu dalam proses penelitian ini, semoga mendapat barokah dari Tuhan YME.

Kami menyadari bahwa laporan kami ini masih jauh dari sempurna, maka kritik dan saran yang membangun kami nantikan dan harapkan.

Jakarta, Desember 2013

Dr. Eri Prasetyo Wibowo

Ketua Tim Peneliti

DAFTAR ISI

BAB 1	PENDAHULUAN	1
BAB 2	TINJAUAN PUSTAKA	3
BAB 3	PELAKSANAAN KEGIATAN	8
BAB 4	METODE PENELITIAN	9
4.1.	LAYOUT AKHIR ADC PIPELINE	9
4.2.	PERANCANGAN CMOS IMAGE SENSOR	11
4.3.	PENGGABUNGAN SELURUH LAYOUT RANGKAIAN	12
BAB 5	HASIL YANG DICAPAI DAN PEMBAHASAN	13
5.1.	BENTUK KONFIGURASI CHIP, TATA LETAK PIN DAN INSTALASI PENGUJIAN	13
5.2.	HASIL PENGUJIAN PURWARUPA CHIP	14
BAB 6	RENCANA TAHAPAN BERIKUTNYA	19
BAB 7	KESIMPULAN	20
	DAFTAR PUSTAKA	21
	LAMPIRAN	23

DAFTAR GAMBAR

GAMBAR 1.1 BLOK DIAGRAM SENSOR KAMERA KECEPATAN TINGGI	1
GAMBAR 1.2 KARAKTERISTIK JENIS ADC [B-S.SONG ET AL, 2007] [SEUNG-CHUL L, ET-AL,2007]	2
GAMBAR 2.1 TOPOLOGI 1-BIT/STAGE DENGAN $V_{TH}=V_{REF}/2$ [ERI PRASETYO,2005]	3
GAMBAR 2.2 RESIDU PLOT ADC PIPELINE TOPOLOGI 1-BIT/STAGE DENGAN $V_{IN}=3V$. [ERI PRASETYO,2005]	4
GAMBAR 2.3 RESIDU PLOT STAGE-1 (MSB) ADC PIPELINE DENGAN $V_{IN}=3V$ [ERI PRASETYO,2005]	4
GAMBAR 2.4 SUB ADC MDAC DENGAN METODE SUB RADIX(RA) [CHONG K.Y, 2003]	5
GAMBAR 2.5 PLOT TEGANGAN RESIDU DENGAN METODE SUB RADIX(RA) [CHONG K.Y, 2003]	6
GAMBAR 2.6 KALIBRASI DIGITAL ADC PIPELINE. [A.N.KARANICOLAS,1993] [R SAMEER, 2001] [T.M.HANCOCK,2002] [J.K YOO,2004] [DWIGHTH.U,2001]	6
GAMBAR 2.7 METODE KALIBRASI KESALAHAN ADC. [PAUL C. YU, 2000]	7
GAMBAR 4.1 METODOLOGI GLOBAL PENELITIAN	9
GAMBAR 4.2 LAYOUT 1 STAGE PIPELINE ADC	10
GAMBAR 4.3 LAYOUT PIPELINE ADC 8 BIT	10
GAMBAR 4.4 CMOS IMAGE SENSOR	11
GAMBAR 4.5 BLOK DIAGRAM CMOS IMAGE SENSOR , CONTROL, STORAGE DAN UNIT MIN-MAX	11
GAMBAR 4.6 PHOTOGRAPH DISAIN LAYOUT GLOBAL	12
GAMBAR 5.1 KONFIGURASI TATA LETAK CHIP	13
GAMBAR 5.2 PURWARUPA CHIP HASIL FABRIKASI	13
GAMBAR 5.3 POSISI DAN SITUASI PENGUJIAN PURWARUPA CHIP	14
GAMBAR 5.4 (a) HASIL SIMULASI APS 2X2 UNTUK KELUARAN MINIMA	14
GAMBAR 5.4 (b) HASIL SIMULASI APS 2X2 UNTUK KELUARAN MAXIMA	15
GAMBAR 5.5 (a) HASIL TESTING KELUARAN MINIMA DARI CMOS IMAGE SENSOR	15

GAMBAR 5.5 (B) HASIL TESTING KELUARAN MAXIMA DARI CMOS IMAGE SENSOR	16
GAMBAR.5.6 HASIL SIMULASI 1 BIT ADC DENGAN VIN=0.9 V	16
GAMBAR 5.7 SIMULASI OUTPUT DIGITAL ADC PIPELINE 8 BITS	17
GAMBAR 5.8 HASIL PENGUJIAN PURWARUPA CHIP ADC	18

DAFTAR LAMPIRAN

LAMPIRAN A. Paper yang dimuat di Proc. of SPIE Vol. 8558

LAMPIRAN B. Bukti Pengiriman Naskah Dan Penerimaan Naskah Buku

LAMPIRAN C. Paper Yang Sedang Di Submit

LAMPIRAN D. No. Pendaftaran Paten Disain Produk Purwarupa ADC

LAMPIRAN E. Undangan sebagai Jury Disertasi dari Universite de Bourgogne France

LAMPIRAN F. Biodata Peneliti